

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018468

International filing date: 10 December 2004 (10.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-420245
Filing date: 18 December 2003 (18.12.2003)

Date of receipt at the International Bureau: 03 March 2005 (03.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

07.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 8 日
Date of Application:

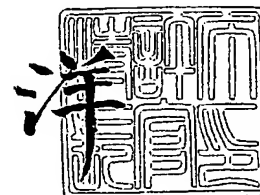
出 願 番 号 特 願 2 0 0 3 - 4 2 0 2 4 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 2 0 2 4 5]

出 願 人 株式会社村田製作所
Applicant(s):

2 0 0 5 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 5 - 3 0 1 2 0 5 6

【書類名】 特許願
【整理番号】 M330925
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01B 3/12
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 田村 浩
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 佐野 晴信
【特許出願人】
 【識別番号】 000006231
 【氏名又は名称】 株式会社村田製作所
 【代表者】 村田 泰隆
【代理人】
 【識別番号】 100096910
 【弁理士】
 【氏名又は名称】 小原 肇
 【電話番号】 045(476)5454
【手数料の表示】
 【予納台帳番号】 064828
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

一般式が $\text{Mg}_x \text{SiO}_2 + x + a \text{Sr}_y \text{TiO}_2 + y$ で表される誘電体セラミック組成物であって、上記一般式における x 、 y 及び a は、それぞれ $1.7 \leq x \leq 1.97$ 、 $0.98 \leq y \leq 1.02$ 及び $0.05 \leq a \leq 0.15$ の関係を満足することを特徴とする誘電体セラミック組成物。

【請求項 2】

積層された複数の誘電体セラミック層と、これらの誘電体セラミック層間に配置された内部電極と、これらの内部電極に電氣的に接続された外部電極とを備え、上記誘電体セラミック層は、請求項 1 に記載の誘電体セラミック組成物によって形成されてなることを特徴とする積層型電子部品。

【書類名】明細書

【発明の名称】誘電体セラミック組成物及び積層型電子部品

【技術分野】

【0001】

本発明は、誘電体セラミック組成物及び積層型電子部品に関し、更に詳しくは、高周波モジュールに使用する温度補償用として好適に用いることができる誘電体セラミック組成物及び積層型電子部品に関するものである。

【背景技術】

【0002】

従来のこの種の誘電体セラミック組成物としては、例えば本出願人が提案した特許文献1に記載の高周波用誘電体磁器組成物が知られている。この誘電体磁器組成物は、一般式 $x\text{MgO} - y\text{SiO}_2$ (但し、式中の x 、 y は、各成分の重量百分率を表し、 $40 \leq x \leq 85$ 、 $15 \leq y \leq 60$ 、 $x + y = 100$ である) で表される組成を有する磁器組成物に、焼結することによりバリウム酸化物となる物質 (Ba 源) 及び焼結することによりストロンチウム酸化物 (Sr 源) の一方または両方を、それぞれ BaCO_3 または SrCO_3 に換算して、その合計が 0.3 ~ 3.0 重量% になるような割合で添加してなるものである。

【0003】

また、特許文献2には2種類以上の誘電特性の異なるセラミック誘電体層を多層に構成した積層セラミックコンデンサが提案されている。この積層セラミックコンデンサは、誘電体層と導体層を互いに積層してなるセラミックコンデンサの個々の誘電体層の少なくとも一方の面に導体層を設け、その導体層上を含めた全面に、ガラス材料ペースト層を形成し、このガラス材料ペースト層及び導体層によりなるものを接着剤層とし、この接着剤層は、導体層で一定のパターンを構成するもので、その時、ガラス材料ペースト層と導体層の一方または、両方がそれを挟んでいるセラミック薄板を接着して形成されてい、更に、この導体層は導体ペースト或いは導電性接着剤よりなり、この誘電体層は、個別に形成された、誘電特性の異なる2種類以上の誘電体セラミック薄板を各々少なくとも1枚ずつ用い、積層されたものよりなるものである。

【0004】

【特許文献1】特許第3446249号公報

【特許文献2】特公平6-48666号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1の高周波用誘電体磁器組成物は、従来のフォルステライト (Mg_2SiO_4) より低温で焼結することができ、高いQ値と高い比誘電率を有するため、例えばマイクロ波集積回路等のマイクロ波帯で用いられる回路素子用基板あるいは誘電体共振器用支持台用の材料としては好適に用いることができるが、焼成温度が1350 ~ 1400℃と高温であり、積層コンデンサ用材料として使用するには依然として焼成温度が高く、温度特性であるJIS規格のCG特性を満足させることができないという課題があった。

【0006】

また、特許文献2の積層コンデンサは、誘電特性の異なる2種類以上の誘電体セラミック薄板、例えば正、負それぞれの温度係数を有する誘電体セラミック薄板を互いに接着剤層を介して貼り合わせて構成されているため、誘電性の異なる誘電体セラミック薄板をそれぞれ個別に製造し、これらの誘電体セラミック薄板をガラス材料ペースト及び導体ペーストからなる接着剤によって接合して積層体を得た後、この積層体を焼成処理するため、積層コンデンサの製造工程が複雑で製造に手間がかかり、しかも、ガラス材料ペースト及び導体ペーストからなる接着層とセラミック層との熱収縮率の差により構造欠陥を生じる虞があつて積層セラミックとしての小型化、多層化を実現することが難しいという課題が

出証特2005-3012056

あった。

【0007】

本発明は、上記課題を解決するためになされたもので、従来のフォルステライトよりも低温で焼成することができると共に所定の温度特性を満足することができ、しかも小型低容量の積層型電子部品を設計する際にも、構造欠陥を生じさせることなく多層化でき、等価直列抵抗の低減、及び静電容量のバラツキの抑制が可能となる誘電体セラミック組成物及び積層型電子部品を提供することを目的としている。

【課題を解決するための手段】

【0008】

本発明の請求項1に記載の誘電体セラミック組成物は、一般式が $Mg_x SiO_2 + x + a Sr_y TiO_2 + y$ で表される誘電体セラミック組成物であって、上記一般式における x 、 y 及び a は、それぞれ $1.7 \leq x \leq 1.97$ 、 $0.98 \leq y \leq 1.02$ 及び $0.05 \leq a \leq 0.15$ の関係を満足することを特徴とするものである。

【0009】

また、本発明の請求項2に記載の積層型電子部品は、積層された複数の誘電体セラミック層と、これらの誘電体セラミック層間に配置された内部電極と、これらの内部電極に電気的に接続された外部電極とを備え、上記誘電体セラミック層は、請求項1に記載の誘電体セラミック組成物によって形成されてなることを特徴とするものである。

【0010】

即ち、本発明の誘電体セラミック組成物は、一般式が $Mg_x SiO_2 + x + a Sr_y TiO_2 + y$ で表される誘電体セラミック組成物である。この誘電体セラミック組成物は、基本的には、正の温度特性を有し且つ比誘電率が低く、高周波特性に優れたフォルステライト($Mg_2 SiO_4$)に、負の温度特性を有するチタン酸ストロンチウム($SrTiO_3$)を所定量添加することにより得られるもので、比誘電率が低く、静電容量の温度特性が平坦化されたものである。従って、本発明の誘電体セラミック組成物は、高周波モジュールに使用する温度補償用の低容量セラミックコンデンサ等の積層型電子部品を製造する際に好適に用いることができる。

【0011】

本発明の誘電体セラミック組成物は、上記一般式における x が $1.7 \leq x \leq 1.97$ の関係を満足するものである。従来のフォルステライトは前述したように $1350 \sim 1400^\circ C$ と高温であるが、本発明の誘電体セラミック組成物は、 Mg と Si との比($Mg/Si = x$)が上記範囲にあるように調整され、更にチタン酸ストロンチウムが添加されるため、焼結性が大幅に改善されており、 $1200^\circ C$ 程度の焼結温度で十分焼結させることができる。 x が 1.7 未満では $Mg_2 SiO_4$ 相と $SrTiO_3$ 相が生成せず、積層型電子部品として要求される温度特性を改善することができない虞がある。また、 x が 1.97 を超えると誘電体セラミック組成物の焼結温度を下げることができず、 $1200^\circ C$ 程度の低温で焼成した際には焼結しない虞がある。

【0012】

また、本発明の誘電体セラミック組成物は、上記一般式における y が $0.98 \leq y \leq 1.02$ の関係を満足するものである。チタン酸ストロンチウムの Sr と Ti との比($Sr/Ti = y$)を調整することによって温度特性を平坦化できることが判った。本発明では y が上記範囲を満足することによって、温度特性がJIS規格のCH特性(静電容量温度係数 $Tcc = \pm 60 ppm/^\circ C$ 以内)またはCG特性(静電容量温度係数 $Tcc = \pm 30 ppm/^\circ C$ 以内)を満足することができる。 y が 0.98 未満であったり、 1.02 を超えると、温度特性がJIS規格のCH特性またはCG特性を満足しない虞がある。

【0013】

更に、本発明の誘電体セラミック組成物は、 $Mg_x SiO_2 + x$ に対する $Sr_y TiO_2 + y$ のモル比 a ($= Sr_y TiO_2 + y / Mg_x SiO_2 + x$)が $0.05 \leq a \leq 0.15$ の関係を満足するものである。 a が本発明の範囲を満足することによって、比誘電率(ϵ_r)が 15 以下で、しかも温度特性がJIS規格のCH特性またはCG特性を満足す

る誘電体セラミック組成物を得ることができる。aが0.05未満ではJIS規格のCH特性またはCG特性の温度特性を満足することができない虞がある。また、aが0.15を超えると温度に対する静電容量の変化率が負に大きくなり、比誘電率も大きくなる虞がある。

【0014】

而して、本発明の積層型電子部品は、その誘電体セラミック層が本発明の誘電体セラミック組成物を用いて形成されるものである。本発明の誘電体セラミック組成物によって積層型電子部品の誘電体セラミック層を形成することにより、例えば従来のフォスフェイトの焼成温度よりも低温の、1200℃の低い温度で焼成することができ、積層型電子部品として比誘電率が低く、温度特性が平坦化した積層型電子部品を得ることができる。また、本発明の誘電体セラミック組成物を用いて多層化することにより、小型低容量であっても等価直列抵抗が低く、静電容量のパラツキが小さい積層型電子部品を得ることができる。

【0015】

また、本発明の積層型電子部品を構成する内部電極は、本発明の誘電体セラミック組成物の焼成温度で形成できる導電性材料によって形成されている。内部電極は、このような導電性材料であれば特に制限されないが、従来公知の導電性材料、例えばパラジウム(Pd)、パラジウム-銀(Pd-Ag)合金が好ましく用いられる。また、本発明の積層型電子部品を構成する外部電極は、従来公知の導電性材料によって形成されている。外部電極の導電性材料は、内部電極のような焼成上の制約はないが、内部電極に準じた導電性材料が好ましく用いられる。

【発明の効果】

【0016】

本発明の請求項1及び請求項2に記載の発明によれば、従来のフォスフェイトよりも低温で焼成することができると共に所定の温度特性を満足することができ、しかも小型低容量の積層型電子部品を設計する際にも、構造欠陥を生じさせることなく多層化でき、等価直列抵抗の低減、及び静電容量のパラツキの抑制が可能となる誘電体セラミック組成物及び積層型電子部品を提供することができる。

【発明を実施するための最良の形態】

【0017】

以下、図1に示す実施形態に基づいて本発明を説明する。尚、図1は本発明の積層型電子部品の一本実施形態を模式的に示す断面図である。

【0018】

本実施形態の積層セラミックコンデンサ1は、例えば図1に示すように、積層された複数層の誘電体セラミック層2と、これらの誘電体セラミック層2間にそれぞれ配置された複数の第1、第2内部電極3A、3Bとを有する積層体4を備えている。積層体4の両端面にはそれぞれ外部電極5A、5Bが形成され、これらの外部電極5A、5Bはそれぞれ内部電極3A、3Bに電気的に接続されている。

【0019】

第1内部電極3Aは、図1に示すように、誘電体セラミック層2の一端(同図の左端)から他端(右端)の近傍まで延び、第2内部電極3Bは誘電体セラミック層2の右端から左端の近傍まで延びている。第1、第2内部電極3A、3Bは例えばPdとAgの合金によって形成されている。

【0020】

また、第1外部電極5Aは、図1に示すように、積層体4内の第1内部電極3Aに電気的に接続され、第2外部電極5Bは積層体4内の第2内部電極3Bに電気的に接続されている。第1、第2外部電極5A、5Bは、例えばAgとPdの合金によって形成されている。更に、第1、第2外部電極5A、5Bの表面には従来公知の第1めっき層6A、6B及び第2めっき層7A、7Bが順次施されている。

【実施例1】

【0021】

次に、本発明を具体的な実施例に基づいて説明する。本実施例では、下記の手順で下記表1に示す複数の誘電体セラミック組成物を調製した後、これらの誘電体セラミック組成物を用いてそれぞれの積層セラミックコンデンサを作製した。次いで、これらの積層セラミックコンデンサの評価をそれぞれ行い、その結果を下記表1に示した。尚、下記表1において、*印を付した試料は本発明の範囲外のものである。

【0022】

(1) 誘電体セラミック組成物の調製

まず、出発原料として高純度の MgO 、 SiO_2 、 $SrCO_3$ 及び TiO_2 を準備し、これらの原料を下記表1の試料No.1～No.13に示す組成となるように秤量した後、それぞれの試料を、ボールミルを用いて湿式混合、粉碎を行ってスラリーを得た。次いで、得られた各試料のスラリーを蒸発乾燥した後、空气中において $1000^{\circ}C$ で2時間仮焼を行った後、それぞれの仮焼粉末を乾式粉碎して誘電体セラミック組成物を得た。

【0023】

また、誘電体セラミック組成物は、上述の方法以外に以下のようにしても調製することができる。即ち、予め MgO と SiO_2 とを混合、粉碎した後、この粉末を仮焼することによってフォルステライトを合成する。次いで、この合成フォルステライトと、 $SrCO_3$ と、 TiO_2 と、 Mg/Si のモル比を調整するための $MgCO_3$ とを仮焼した後、この仮焼物を粉碎することによって下記表1に示す組成の誘電体セラミック組成物を調製することができる。

【0024】

更に他の調製方法として、予め MgO と SiO_2 とを混合、粉碎した後、この粉末を仮焼することによってフォルステライトを合成する。次いで、 $SrCO_3$ と TiO_2 とを混合、粉碎した後、この粉末を仮焼することによって $SrTiO_3$ を合成する。そして、合成フォルステライトと、合成 $SrTiO_3$ と、 Mg/Si のモル比を調整するための $MgCO_3$ とを混合して下記表1に示す組成の誘電体セラミック組成物を調製することができる。

【0025】

試料No.1～No.5は、 $Mg/Si (=x)$ 及び $Sr/Ti (=y)$ をそれぞれ本発明の範囲内である $x=1.9$ 及び $y=1.00$ に設定し、 $Mg_x SiO_2 + x$ に対する $Sr_y TiO_2 + y$ のモル比 $a (=Sr_y TiO_2 + y / Mg_x SiO_2 + x)$ を、本発明の範囲から本発明の範囲外 ($a=0.04 \sim 0.16$) まで振って a の影響を観るために調製した誘電体セラミック組成物である。

【0026】

試料No.6～No.9は、 a 及び y をそれぞれ本発明の範囲内である $a=0.10$ 及び $y=1.00$ に設定し、 x を本発明の範囲から本発明の範囲外 ($x=1.6 \sim 2.0$) まで振って x の影響を観るために調製した誘電体セラミック組成物である。

【0027】

試料No.10～No.13は、 a 及び x をそれぞれ本発明の範囲内である $a=0.10$ 及び $x=1.9$ に設定し、 y を本発明の範囲から本発明の範囲外 ($y=0.97 \sim 1.03$) まで振って y の影響を観るために調製した誘電体セラミック組成物である。

【0028】

上述のようにして調製された誘電体セラミック組成物は、 CaO 、 BaO 、 ZrO_2 、 Al_2O_3 、 Fe_2O_3 、 MnO 、 CuO 、 ZnO 、希土類酸化物を、合計で1モル%以下含んだものであっても電気的特性に大きな影響を与えない。

【0029】

(2) 積層セラミックコンデンサの作製

(1) で得られた誘電体セラミック組成物を秤量し、所定の添加物、ポリビニルブチラール系バインダ及びエタノール等の有機溶剤を加えて、ボールミルによって湿式混合してセラミックスラリーを調製した。

【0030】

然る後、ドクターブレード法によって上記セラミックスラリーからセラミックグリーンシートを形成した後、セラミックグリーンシート上にPd/Ag(70/30)を主成分とする導電性ペーストを印刷し、有効層が10層の積層型コンデンサとなるようにセラミックグリーンシートを積層した後、熱圧着し、所定のチップ寸法に切断して生のセラミック積層体を得た。

【0031】

次いで、生のセラミック積層体を大気中、350℃で脱バインダ処理を行った後、大気中で50℃/分の昇温速度で1200℃まで加熱し、この温度で焼成を行った。昇温速度を50℃/分で高速昇温することによって積層セラミックコンデンサとしての絶縁抵抗が向上させることができる。このようにして得られた積層セラミックコンデンサのチップ寸法は、2.0mm×1.2mmであった。焼成後には第1、第2外部電極を形成した後、これらの表面にめっき処理を2段階で施して第1、第2めっき層を形成して試料No.1～試料No.13の評価用サンプルを得た。

【0032】

(3) 積層セラミックコンデンサの特性評価

LCRメータ(HP社製4284A)を用いて、試料No.1～No.13について25℃、1MHz、1Vにおける静電容量及びQ値を測定し、これらの測定値と電極面積、素子厚に基づいて比誘電率を算出し、その結果を下記表1に示した。また、静電容量温度特性測定装置を用いて、各試料について静電容量の温度特性を測定し、それぞれの温度係数Tccを算出し、その結果を下記表1に示した。

【0033】

【表1】

試料番号	組成: $Mg_xSiO_{2+x} + aSr_yTiO_{2+y}$			特 性			
	$SrTiO_3$ a	Mg/Si x	Sr/Ti y	ϵ_r	Q 1MHz	TCC ppm/℃	温度特性 規格
*Na 1	0.04	1.90	1.00	7	3000	+100	-
Na 2	0.05	1.90	1.00	8	2800	+10	CG
Na 3	0.10	1.90	1.00	10	2500	-20	CG
Na 4	0.15	1.90	1.00	12	2200	-45	CH
*Na 5	0.16	1.90	1.00	17	2000	-70	-
*Na 6	0.10	1.60	1.00	8	2500	+100	-
Na 7	0.10	1.70	1.00	9	2500	+60	CH
Na 8	0.10	1.97	1.00	10	2500	-25	CG
*Na 9	0.10	2.00	1.00	焼結せず	焼結せず	焼結せず	焼結せず
*Na 10	0.10	1.90	0.97	8	2800	+100	-
Na 11	0.10	1.90	0.98	9	2600	+25	CG
Na 12	0.10	1.90	1.02	10	2500	-25	CG
*Na 13	0.10	1.90	1.03	9	2300	+100	-

【0034】

上記表1に示す結果によれば、 Mg_xSiO_{2+x} に対する $SrTiO_3$ の添加量aの影響をみる試料No.1～No.5のうち、 $0.05 \leq a \leq 0.15$ で本発明の範囲にある試料No.2、3、4は、比誘電率が15以下で、温度に対する静電容量の変化率Tccが温度特性のCH特性またはCG特性を満足していることが判った。

【0035】

これに対し、aが0.05未満の0.04を示す試料No.1は、温度に対する静電容量の変化率Tccが正に大きくなって温度特性が改善していないことが判った。また、aが0.15を超える0.16を示す試料No.5は、温度に対する静電容量の変化率Tccが負に大きくなり、しかも比誘電率が17と大きくなってしまふことが判った。

【0036】

また、上記表1に示す結果によれば、 $Mg/Si(=x)$ の影響をみるための試料No.6～No.9のうち、xが $1.7 \leq x \leq 1.97$ で本発明の範囲にある試料No.7、8は、1200℃において焼成することができ、比誘電率が15以下で、温度に対する静電

容量の変化率 T_{cc} が温度特性の CH 特性または CG 特性をも満足していることが判った。

【0037】

これに対して、 x が 1.7 未満の 1.6 を示す試料 No. 6 は、 Mg_2SiO_4 相と $SrTiO_3$ 相を生成せず、温度特性が改善していないことが判った。また、 x が 1.97 を超える 2.0 を示す試料 No. 9 は、1200℃において焼結しないことが判った。

【0038】

また、上記表 1 に示す結果によれば、 $Sr/Ti (=y)$ の影響を観るための試料 No. 10 ~ No. 13 のうち、 y が $0.98 \leq y \leq 1.02$ で本発明の範囲にある試料 No. 11、12 は、1200℃において焼成することができ、比誘電率が 15 以下で、温度に対する静電容量の変化率 T_{cc} が温度特性の CH 特性または CG 特性をも満足していることが判った。

【0039】

これに対して、 y が 0.98 未満の 0.97 を示す試料 No. 10 は、温度に対する静電容量の変化率 T_{cc} が温度特性の CH 特性または CG 特性を満足しないことが判った。また、 y が 1.02 を超える試料 No. 13 の試料 No. 10 と同様に温度に対する静電容量の変化率 T_{cc} が温度特性の CH 特性または CG 特性を満足しないことが判った。

【0040】

以上説明したように本実施例によれば、1200℃程度の低温で焼成することができ、比誘電率が 15 以下と小さく、温度特性が CH 特性または CG 特性を満足する積層セラミックコンデンサを得ることができる。

【0041】

尚、上記実施例では積層セラミックコンデンサを作製した場合について説明したが、本発明は積層セラミックコンデンサに限らず LC フィルタや多層基板等、他の積層型電子部品も同様に作製することができる。また、積層セラミックコンデンサとして 2.0 mm × 1.2 mm サイズのものについて説明したが、更に小型化した 1005 (1.0 mm × 0.5 mm) サイズ以下の積層セラミックコンデンサを設計する際にも、比誘電率が 15 以下と小さいため、構造欠陥を生じさせることなく多層化でき、等価直列抵抗の低減及び静電容量のバラツキの抑制が可能となる。

【産業上の利用可能性】

【0042】

本発明は、高周波モジュールに使用する温度補償用の低容量積層セラミックコンデンサ等の積層型電子部品に好適に利用することができる。

【図面の簡単な説明】

【0043】

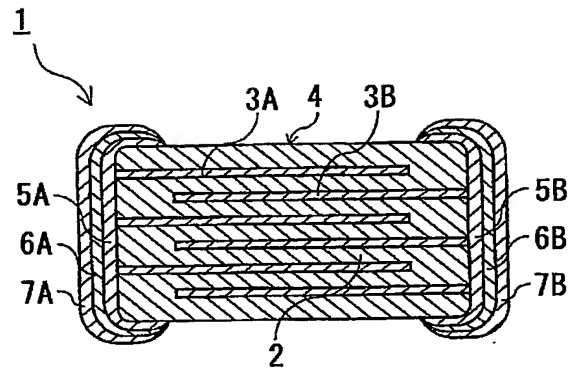
【図 1】本発明の積層型電子部品の一実施形態を模式的に示す断面図である。

【符号の説明】

【0044】

- 1 積層セラミックコンデンサ
- 2 誘電体セラミック層
- 3 A、3 B 第 1、第 2 内部電極
- 5 A、5 B 第 1、第 2 外部電極

【書類名】 図面
【図 1】



【書類名】要約書

【要約】

【課題】特許文献1の高周波用誘電体磁器組成物の場合には、焼成温度が1350～1400℃と高温であり、積層コンデンサ用材料として使用するには依然として焼成温度が高すぎる。また、特許文献2の積層コンデンサの場合には、積層コンデンサの製造工程が複雑で製造に手間がかかり、しかも、接着層とセラミック層との熱収縮率の差により構造欠陥を生じる虞があつて積層セラミックとしての小型化、多層化を実現することが難しい。

【解決手段】本発明の誘電体セラミック組成物は、一般式が $Mg_x SiO_2 + x + a Sr_y TiO_2 + y$ で表される誘電体セラミック組成物であつて、上記一般式におけるx、y及びaは、それぞれ $1.7 \leq x \leq 1.97$ 及び $0.98 \leq y \leq 1.02$ 及び $0.05 \leq a \leq 0.15$ の関係を満足するものである。

【選択図】図1

認定・付加情報

特許出願の番号	特願 2003-420245
受付番号	50302080573
書類名	特許願
担当官	第五担当上席 0094
作成日	平成16年 1月 9日

<認定情報・付加情報>

【提出日】 平成15年12月18日

特願 2003-420245

出願人履歴情報

識別番号

[000006231]

- | | |
|----------|--------------------|
| 1. 変更年月日 | 1990年 8月28日 |
| [変更理由] | 新規登録 |
| 住 所 | 京都府長岡京市天神二丁目26番10号 |
| 氏 名 | 株式会社村田製作所 |
| | |
| 2. 変更年月日 | 2004年10月12日 |
| [変更理由] | 住所変更 |
| 住 所 | 京都府長岡京市東神足1丁目10番1号 |
| 氏 名 | 株式会社村田製作所 |